

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-093540**
 (43)Date of publication of application : **10.04.1998**

(51)Int.Cl.

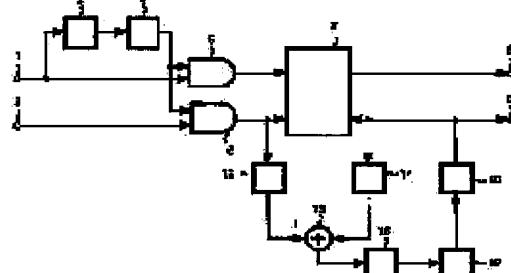
H04L 7/00
H04L 13/08(21)Application number : **08-246599**(71)Applicant : **HITACHI DENSHI LTD**(22)Date of filing : **18.09.1996**(72)Inventor : **KOKURYO GARO**

(54) DATA TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To attain a data transmission not causing an underflow or the like by monitoring a data amount in an FIFO memory of a receiver equipment and controlling an operating clock frequency of a receiver side equipment so as to allow a clock frequency of a receiver side equipment to be in synchronism with an operating clock frequency of a transmitter side equipment.

SOLUTION: A header detection section 3 at a receiver side detects header information to read a data amount size and controls an AND gate 5 so as to get through for a corresponding period only and only a data part is inputted to an FIFO memory 7. Thus, data are inputted to the FIFO memory 7 at a clock frequency of the transmission line. Input output data amounts of the FIFO memory 7 are subtracted by a subtractor 15 to take a difference so as to obtain the data amount in the FIFO memory 7. A frequency difference between the transmitter side and the receiver side is obtained from an output of the subtractor 15 at the receiver side. The frequency of the clock signal with a prescribed frequency is the same as the frequency sent from the transmitter side at the counter 10 by controlling the frequency of a transmitter 12 with VCO based on the difference.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]When an operation clock frequency inside the transmitting side and a receiving side device differs from access speed of a transmission line, transmission-systems **** which provides a FIFO memory for absorbing speed difference between device concerned and a transmission line, and performs data communications — data volume in a FIFO memory of the above-mentioned receiving side device being supervised, and with the amount of increase and decrease of the data volume concerned. Data transmission systems controlling an operation clock frequency of the above-mentioned receiving side device, and making it synchronize with an operation clock frequency of the above-mentioned transmitting side device.

[Claim 2]When data volume in a FIFO memory of a detected receiving side device has increased in claim 1, When a clock frequency difference of the transmitting side and a receiver is detected from the increment, only a part corresponding to this increment sets up a clock frequency of a receiver low and data volume has decreased, Data transmission systems controlling only for a part corresponding to the decrement concerned to set up a clock frequency of a receiver highly from the decrement, and to make a clock frequency of a receiver follow a clock frequency of the transmitting side on the average.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention]This invention relates to the method which makes the timing in a receiver follow the timing of the transmitting side, when transmitting data via a transmission line.

[0002]

[Description of the Prior Art]When transmitting data via a transmission line, as shown in drawing 3, synchronizing with the clock from the transmission line 18 which constitutes a transmission network, the transmitting side 17 sends out data, and the data in sync with the clock from the transmission line 18 is received by the receiver 19. That is, the clock of the transmission line 18 is to foundations, since the transmitting side 17 and the receiver 19 synchronize an interior action with the clock of this transmission line 18 and are performing it, the transmitting side 17 and the receiver 19 are unified with the clock of the transmission line 18, and the synchronization of the transmitting side 17 and the receiver 19 can be taken. However, in all transmissions, it cannot do on the basis of the clock of the transmission line 18. A 64-kHz clock has been to foundations, and when a transmission line clock (access speed) is not this frequency of N times (N is an integer) or 1/N of 64 kHz, it becomes impossible for example, for a sound to take the above synchronizations, when transmitting a digital sound. When digitizing and transmitting an image, it is made to operate on the basis of the frequency of the synchronized signal of a video camera, but it does not become the clock frequency and ploidy of a transmission line in many cases.

[0003]For example, although he would like to output to a transmission line at 64k bps from the relation of the interior action of the transmitting side, When the clock frequency of the transmission line 18 is 100 kHz, FIFO memory 7 as shown in drawing 2 etc. are added to the portion outputted to the transmission line 18, 64k bps continuous data is once inputted into FIFO memory 7, and he reads data from FIFO memory 7 at 100k bps, and is trying to output to the transmission line 18. Since a FIFO memory will cause underflow if data is inputted into a FIFO memory at 64k bps and it is outputted at 100k bps here, In this case, data is intermittently outputted by an output side, it controls so that a FIFO memory causes neither underflow nor overflow, and data is sent out to the transmission line 18. The 100k bps data which had FIFO memory 7 as shown in drawing 2 between the transmission lines 18, and went into it intermittently from the received data entry 1 also by the receiver 19 is inputted into FIFO memory 7, and is once outputted as 64k bps continuous data from an output side.

[0004]

[Problem(s) to be Solved by the Invention]However, since the clock of the transmission line 18 is not the frequency (64 kHz) of the foundations for processing a sound as stated above, the synchronization with the transmitting side 17 cannot be taken in the receiver 19. That is, the 64-kHz clock which will determine the output speed of FIFO memory 7 of the receiver 19 if it says in the above-mentioned example, In order to make it generate with the oscillator 11, to use 64 kHz and to make it generate completely independently of the 64-kHz clock of the transmitting side 17 with the counter 10 original with the receiver 19, it is not avoided that some delta frequencies exist. Therefore, although there are few delta frequencies of the transmitting side

and a receiver how much, when prolonged operation is carried out, FIFO memory 7 of the receiver 19 will cause underflow or overflow. Here, since the FIFO memory of the transmitting side 17 has sent out data to the transmission line 18 intermittently, it is controllable by the FIFO memory of the transmitting side 17 by controlling suitably this interval (intermittent interval) that carries out an intermission to generate neither underflow nor overflow.

[0005]That is, data volume which increases an intermittent interval and is sent out to the transmission line 18 if underflow occurs and meets by the FIFO memory of the transmitting side 17 is lessened, and conversely, if overflow occurs and meets, data volume which lessens an intermittent interval and sends it out will be increased. On the other hand, FIFO memory 7 of the receiver 19 is the clock frequency which defined the data from which the data volume to input changes by the receiver 19, and since it is outputting continuously, it is uncontrollable [FIFO memory] as it causes neither underflow nor overflow. When the data volume intermittently inputted into FIFO memory 7 of the receiver 19 via the transmission line 18 is averaged, it will correspond to the clock frequency of the transmitting side 17. Therefore, when FIFO memory 7 of the receiver 19 is averaged, it will input data by the clock frequency of the transmitting side 17, and will output it by the clock frequency of the receiver 19. Therefore, for example, if the clock frequency of the receiver 19 is low compared with the transmitting side 17, data will increase little by little into FIFO memory 7. And if prolonged operation is continued, it will result in overflow finally.

[0006]On the contrary, when the clock frequency of the receiver 19 is higher than the transmitting side 17, the data in FIFO memory 7 decreases in number little by little, and will result in underflow. By FIFO memory 7, when overflow and underflow occur, a data omission, insertion of garbage data, etc. occur and right data communications become impossible. Here, occurrence frequency increases, so that the frequency which overflow and underflow generate, so that there are few clock frequency differences by the side of transmission and reception is low and there are many delta frequencies. This invention removes the above faults, it is a FIFO memory of a receiver and an object of this invention is to realize the data communications which neither underflow nor overflow generates.

[0007]

[Means for Solving the Problem]In order to attain the above-mentioned purpose, when a change in data volume in a FIFO memory of a receiver is supervised and data volume has increased, this invention, a part corresponding to [when a clock frequency difference of the transmitting side and a receiver was detected from the increment, only a part corresponding to this increment set up a clock frequency of a receiver low and data volume had decreased] the decrement concerned for a clock frequency of the decrement to a receiver — it sets up highly. Thereby, it comes to follow a clock frequency in a receiver on the average, and it generates neither overflow nor underflow in a clock frequency generated at the transmitting side in a FIFO memory, but can do data communications for it correctly.

[0008]

[Embodiment of the Invention]Hereafter, one example of this invention is described using drawing 1 and drawing 3 – drawing 7. The received data from the transmission line 18 are inputted into the received data entry 1, and the clock from the transmission line 18 is inputted into the receive-clock input 2. Although data is intermittently sent out to the transmission line 18 from the transmitting side 17 and it is variously as a transmission system which receives it by the receiver 19, the case where this invention is used for the transmission system which adds a header to the data sent out here is explained as an example. The data row sent out from the transmitting side 17 comprises a data part which puts in a header unit and the data actually sent to the receiver 19, as shown in drawing 4. That the interval is vacant by the following header unit from the end of a data division here, When the frequency of the interior-action reference clock in the transmitting side 17 and the clock of the transmission line 18 differs, the FIFO memory of the transmitting side 17 is because data is intermittently sent out so that neither overflow nor underflow may be caused. In order to receive data correctly by the receiver 19 in the case of the method whose quantity of the data included in a data division is not constant, usually the information on the data volume size of a data division is included in the header unit.

[0009] So that the above-mentioned header information may be detected in the header primary detecting element 3, the data volume size contained in the header may be first read in the receiver 19 in this example and a gate may open only the period corresponding to the size concerned, AND gate 5 is controlled via the input control part 4, and only a data division is made to input into FIFO memory 7. AND gate 5 has closed periods other than a data division. When the clock of the transmission line 18 inputted into FIFO memory 7 controls AND gate 6 similarly, a clock is inputted into FIFO memory 7 only at the time of the input of a data division. Thereby, data is inputted into FIFO memory 7 by the clock frequency of the transmission line 18. And the data inputted into FIFO memory 7 is read with the operation clock frequency of receiver 19 inside, and is outputted to the treating part of the receiver 19 through the data output 8. This output side clock carries out dividing of the thing which made it generate with the oscillator 12 with VCO with the counter 10, is used as the clock of predetermined frequency, is supplied to the output clock terminal of FIFO memory 7, and is simultaneously supplied also to the treating part of a receiver through the output clock 9.

[0010] Since the counter 13 is connected to the input-clock terminal of FIFO memory 7, the data volume inputted into FIFO memory 7 serves as a counter value. Similarly, since the counter 14 expresses the output data volume of FIFO memory 7, it will express the quantity of the data with which the difference is contained in FIFO memory 7 inside in these if a difference is taken with the subtractor 15. Here, the situation of change of the data volume inside FIFO memory 7 is shown to drawing 5. The period of a point to b point is a period when received data are inputted into FIFO memory 7. And since received data are not inputted at c point from b point but an output is performed more nearly continuously than the output side of FIFO memory 7, the data volume in FIFO memory 7 decreases gradually. In the period of c point to d point, received data are again inputted into the input of FIFO memory 7. Similarly, the period of f point from e point and g point to h point is a period when data is inputted into FIFO memory 7, and the period of e point from d point and f point to g point is a period when there is no input of received data in and only an output is performed.

[0011] Drawing 6 expresses the situation of change of the data volume of FIFO memory 7 inside at the time of changing the intermittent interval of the data intermittently sent out from the transmitting side 17. The period of b point to c point is long. This is a case where t period shown in drawing 4 becomes long. Next, although received data will be inputted at d point from c point, many data is sent from the transmitting side 17 only the part whose period of b point to c point was long. This is because the data of the part many is sent out to the transmission line 18, in order that overflow may not be caused, since only the part long in FIFO memory 7 of the transmitting side 17 since the period of b point to c point was long was inputted [many data]. As shown in this drawing 6, when it is assumed that there is no difference of the frequency of the transmitting side 17 and the receiver 19, even if the interval of a burst is variable, the line which connects b point-d point-f point-h point—— becomes level.

[0012] However, when a clock frequency has a difference by the transmitting side and a receiver, the case where the frequency of the clock of the receiver 19 is lower than the transmitting side 17 is shown in drawing 7, for example. In this case, since the data volume outputted rather than the amount of input data of FIFO memory 7 of the receiver 19 decreases, before outputting the data to a point of a basis in the period of b point to c point, the following received data are inputted in the period of c point to d point. The same may be said of the period of e point from d point, and f point to g point. Therefore, the data volume which remains in FIFO memory 7 will increase gradually, and the line which connects b point-d point-f point-h point—— turns into a line upward slanting to the right. Here, the clock frequency which oscillates the clock frequency oscillated at the transmitting side 17 by Bt (Hz) and the receiver 19 is set to Br (Hz), and the following formula will be materialized if data volume which fluctuates the period which supervises the change in the data volume inside FIFO memory 7 by T0 (second) and T0 is set to D (bit). $D = (Bt - Br) \times T0$ — setting up T0 by the receiver 19 from this formula — the amount D of increase and decrease of the data in FIFO memory 7 — it is got blocked and the delta frequency by the side of transmission and reception is searched for from the output of the subtractor 15. $D/T0 = Bt - Br = (\text{delta frequency by the side of transmission and reception})$

And if the frequency of the oscillator 12 with VCO is controlled by the output of the converter 16 for which it asked by this calculation corresponding to the quantity of the delta frequency by the side of transmission and reception, The clock which is outputted from the oscillator 12 with VCO and serves as predetermined frequency at the counter 10 can be made into the completely same frequency as the frequency oscillated at the transmitting side 17. That is, since the output clock of FIFO memory 7 becomes the same as that of the clock oscillated at the transmitting side 17, the data volume in FIFO memory 7, As shown in drawing 5 or drawing 6, the line which connects b point-d point-f point-h point – becomes level, and neither overflow nor underflow occurs in FIFO memory 7. Although explained by controlling the frequency of the oscillator 12 with VCO by the output of the converter 16, the oscillator to which VCO is not attached may be used, the division ratio of the counter 10 may be controlled by the above-mentioned example, and the frequency of an interior-action clock may be controlled by it.

[0013]

[Effect of the Invention]As mentioned above, as explained, regardless of the clock frequency of the transmission line 18, i.e., access speed, Data communications are surely possible, without the bit omission and bit *** of data occurring, since the frequency of the receiver 19 can be synchronized with the clock frequency of the transmitting side 17 and the transmitting side 17 and the receiver 19 can operate with the clock of the same frequency. As for the data in the transmission line 18, supposing it performs data communications via the transmission line 18 of radio, it is common to take the method transmitted by burst. When transmitting not mere data but the data which continued in real time like speech information, besides taking the synchronization of transmission and reception, it is also necessary to reproduce data continuously by the receiver 19, and this method is effective. This method can be applied also when the intervals of a burst are not regular intervals. Furthermore, this method can be applied, also when it is N times or 1/N time (N is an integer) the clock frequency of the transmission line 18 of this and it can use the synchro system of the conventional transmission and reception to the clock frequency of the transmitting side 17 and the receiver 19.

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93540

(43) 公開日 平成10年(1998)4月10日

(51) Int.Cl.⁶H 0 4 L 7/00
13/08

識別記号

F I

H 0 4 L 7/00
13/08

A

審査請求 未請求 請求項の数2 OL (全5頁)

(21) 出願番号

特願平8-246599

(22) 出願日

平成8年(1996)9月18日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(72) 発明者 国領 貢郎

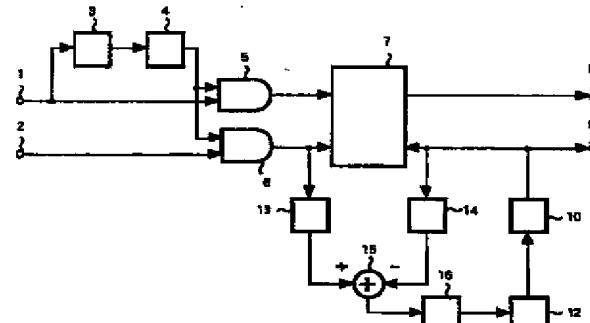
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(54) 【発明の名称】 データ伝送方式

(57) 【要約】

【課題】 送信側、受信側の装置の内部動作クロック周波数と伝送路の伝送速度(周波数)とが、お互いに倍数関係ではないデータ伝送を行う場合に、受信側装置の内部動作クロック周波数を送信側の内部動作クロック周波数と同期させる。

【解決手段】 受信側の伝送路側に設けられたFIFOメモリのデータ量の増減量を監視し、その増減量により、受信側の内部動作クロックの周波数を送信側の内部動作クロック周波数に一致させるように制御する。



【特許請求の範囲】

【請求項1】 送信側、受信側装置内部の動作クロック周波数と伝送路の伝送速度とが異なる場合に、当該装置と伝送路との間に速度差の吸収をするためのFIFOメモリを設けてデータ伝送を行う伝送システムにおいて、上記受信側装置のFIFOメモリ内のデータ量を監視し、当該データ量の増減量により、上記受信側装置の動作クロック周波数の制御を行い、上記送信側装置の動作クロック周波数に同期をさせることを特徴としたデータ伝送方式。

【請求項2】 請求項1において、検出した受信側装置のFIFOメモリ内のデータ量が増加してきた場合には、その増加分から送信側と受信側のクロック周波数差を検出し、受信側のクロック周波数を該増加分に対応した分だけ低く設定し、データ量が減少してきた場合は、その減少分から受信側のクロック周波数を当該減少分に対応した分だけ高く設定し、受信側のクロック周波数を、送信側のクロック周波数に、平均的に追従させるよう制御することを特徴とするデータ伝送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、伝送路を介してデータを伝送する場合に、受信側でのタイミングを送信側のタイミングに追従させる方式に関するものである。

【0002】

【従来の技術】 伝送路を介してデータを伝送する場合、図3に示すように、伝送網を構成する伝送路18からのクロックに同期して送信側17はデータを送出し、受信側19では伝送路18からのクロックに同期したデータを受信する。つまり、伝送路18のクロックが基本となり、送信側17も受信側19も内部動作を、この伝送路18のクロックに同期させて行っているため、送信側17と受信側19とが、伝送路18のクロックで統一され、送信側17と受信側19の同期が取れる。ところが、全ての伝送において、必ずしも伝送路18のクロックを基本にできるわけではない。例えば、ディジタルの音声を伝送する場合、音声は64kHzのクロックが基本になっており、伝送路クロック(伝送速度)が、この64kHzのN倍(Nは整数)もしくは1/Nの周波数でないときには、上記のような同期が取れなくなる。また、映像をディジタル化して伝送する場合には、ビデオカメラの同期信号の周波数を基本として動作させるが、伝送路のクロック周波数と倍数関係にならないことが多い。

【0003】 例えば、送信側の内部動作の関係から、64kbpsで伝送路に出力したいのであるが、伝送路18のクロック周波数が100kHzであった場合には、伝送路18に出力する部分に、図2に示すような、FIFOメモリ7などを追加し、64kbpsの連続したデータを、一旦、FIFOメモリ7に入力し、FIFOメモリ7から100kbpsでデータを読み出し、伝送路

18に出力するようにしている。ここで、FIFOメモリにデータが64kbpsで入力され、100kbpsで出力されていくと、FIFOメモリはアンダーフローを起こしてしまうので、この場合、出力側で間欠的にデータを出力し、FIFOメモリがアンダーフローもオーバーフローも起さないように制御し、データを伝送路18に送出する。受信側19でも、伝送路18との間に、図2に示すようなFIFOメモリ7を持ち、受信データ入力1から間欠的に入ってきた、100kbpsのデータを、一旦、FIFOメモリ7に入力し、出力側から64kbpsの連続したデータとして出力する。

【0004】

【発明が解決しようとする課題】 ところが、上記で述べたように、伝送路18のクロックが、音声の処理をするための基本の周波数(64kHz)ではないために、受信側19においては送信側17との同期をとることができない。つまり、上記の例で言えば、受信側19のFIFOメモリ7の出力速度を決める64kHzのクロックは、受信側19独自に、発振器11にて発生させ、カウンタ10によって64kHzにしたものであり、送信側17の64kHzのクロックとは全く独立に発生させたものであるために、多少の周波数差が存在するのは避けられない。従って、送信側と受信側の周波数差がいくら少ないとはいえ、長時間動作をさせていると、受信側19のFIFOメモリ7がアンダーフローもしくはオーバーフローを起こしてしまうことになる。ここで、送信側17のFIFOメモリは、伝送路18に間欠的にデータを送出しているので、この間欠する間隔(間欠間隔)を適宜制御することにより、送信側17のFIFOメモリでは、アンダーフローもオーバーフローも発生しないよう

に制御することができる。

【0005】 つまり、送信側17のFIFOメモリでアンダーフローが発生しそうならば、間欠間隔を多くして伝送路18に送出するデータ量を少なくし、逆に、オーバーフローが発生しそうならば、間欠間隔を少なくし送出するデータ量を多くする。これに対し、受信側19のFIFOメモリ7は、入力するデータ量が変化するデータを、受信側19で定めたクロック周波数で、連続的に出力しているため、アンダーフローや、オーバーフローを起さないよう制御することはできない。また、受信側19のFIFOメモリ7に、伝送路18を介し間欠的に入力されるデータ量は、平均すると送信側17のクロック周波数に対応することになる。従って、受信側19のFIFOメモリ7は、平均すると送信側17のクロック周波数でデータを入力し、受信側19のクロック周波数で出力することになる。そのため、例えば、受信側19のクロック周波数が、送信側17に比べて低いとすれば、FIFOメモリ7の中にデータが少しずつ増加することになる。そして、長時間動作を続けていると、遂には、オーバーフローに到ってしまう。

【0006】逆に、受信側19のクロック周波数が送信側17より高い場合には、FIFOメモリ7中のデータが少しづつ減少していき、アンダーフローに到ってしまう。FIFOメモリ7で、オーバーフローやアンダーフローが発生すると、データ抜けや、不要データの挿入等が発生し、正しいデータ伝送ができなくなる。ここで、送・受信側のクロック周波数差が少ない程、オーバーフローやアンダーフローが発生する頻度は少なく、周波数差が多い程、発生頻度は多くなる。本発明は、上記のような欠点を除去し、受信側のFIFOメモリで、アンダーフローやオーバーフローが発生しないデータ伝送を実現することを目的とする。

【0007】

【課題を解決するための手段】本発明は上記の目的を達成するために、受信側のFIFOメモリ中のデータ量の増減を監視して、データ量が増加してきた場合には、その増加分から送信側と受信側のクロック周波数差を検出し、受信側のクロック周波数を該増加分に対応した分だけ低く設定し、データ量が減少してきた場合は、その減少分から受信側のクロック周波数を当該減少分に対応した分、高く設定する。これにより、受信側でのクロック周波数は、送信側で発生したクロック周波数に、平均的に追従するようになり、FIFOメモリでオーバーフローもアンダーフローも発生せず、正しくデータ伝送ができる。

【0008】

【発明の実施の形態】以下、本発明の一実施例を、図1および図3～図7を用いて説明する。受信データ入力1には、伝送路18からの受信データが入力され、受信クロック入力2には、伝送路18からのクロックが入力される。送信側17から伝送路18に間欠的にデータを送出して、それを受信側19で受信する伝送方式としては種々あるが、ここでは送出するデータにヘッダを付加する伝送方式に、本発明を用いた場合を例として説明する。送信側17から送出するデータ列は、図4に示したように、ヘッダ部と実際に受信側19に送るデータを入れておくデータ部分で構成される。ここで、データ部の終わりから、次のヘッダ部までに間隔が空いているのは、送信側17での内部動作基準クロックと伝送路18のクロックとの周波数が異なる場合に、送信側17のFIFOメモリが、オーバーフローやアンダーフローを起きないように、間欠的にデータを送出しているためである。データ部に入っているデータの量が一定でない方式の場合には、受信側19で正しくデータを受信するために、ヘッダ部にデータ部のデータ量サイズの情報が含まれているのが普通である。

【0009】本実施例では、まず、受信側19において、上記ヘッダ情報をヘッダ検出部3で検出し、そのヘッダの中に含まれているデータ量サイズを読み取り、当該サイズに対応する期間だけゲートが開くよう、入力制御

部4を介してANDゲート5を制御し、データ部だけをFIFOメモリ7に入力させる。なお、データ部以外の期間は、ANDゲート5は閉じている。FIFOメモリ7に入力する伝送路18のクロックも、同様にANDゲート6を制御することにより、データ部の入力時だけ、FIFOメモリ7にクロックが入力される。これにより、伝送路18のクロック周波数で、FIFOメモリ7にデータが入力される。そして、FIFOメモリ7に入力したデータは、受信側19内部の動作クロック周波数で読出され、データ出力8を通して受信側19の処理部に出力される。この出力側クロックは、VCO付き発振器12で発生させたものをカウンタ10により分周し、所定周波数のクロックにしてFIFOメモリ7の出力クロック端子に供給され、同時に受信側の処理部にもクロック出力9を通して供給される。

【0010】カウンタ13は、FIFOメモリ7の入力クロック端子に接続されているので、FIFOメモリ7に入力したデータ量がカウンタ値となる。また、同様にカウンタ14は、FIFOメモリ7の出力データ量を表すので、これらを減算器15によって差をとれば、その差がFIFOメモリ7内部に入っているデータの量を表すことになる。ここで、FIFOメモリ7の内部のデータ量の変化の状況を図5に示す。a点からb点の期間は、FIFOメモリ7に受信データが入力されている期間である。そしてb点からc点では、受信データは入力されず、FIFOメモリ7の出力側より連続的に出力が行われるので、徐々にFIFOメモリ7内のデータ量は、減少していく。c点からd点の期間では、再び、FIFOメモリ7の入力に受信データが入力される。同様に、e点からf点およびg点からh点の期間は、FIFOメモリ7にデータが入力されている期間であり、d点からe点およびf点からg点の期間は受信データの入力はなく、出力だけが行われる期間である。

【0011】図6は、送信側17から間欠的に送出されるデータの間欠間隔を可変した場合のFIFOメモリ7内部のデータ量の変化の状況を表している。b点からc点の期間は長い。これは図4に示すt期間が長くなった場合である。次にc点からd点で受信データが入力されることになるが、b点からc点の期間が長かった分だけ多くのデータが送信側17から送られてくる。これは、b点からc点の期間が長かったために、送信側17のFIFOメモリ7の中に長い分だけ多くのデータが入力されたために、オーバーフローを起こさないようにするために、その分多くのデータを伝送路18に送出するためである。この図6に示したように、送信側17と受信側19との周波数の差がないと仮定した場合には、パーストの間隔が可変であっても、b点-d点-f点-h点-…をつなぐ線は水平となる。

【0012】ところが、送信側と受信側でクロック周波数に差がある場合、例えば、送信側17よりも受信側1

9のクロックの周波数の方が低い場合を図7に示す。この場合、受信側19のFIFOメモリ7の入力データ量よりも出力するデータ量が少なくなるので、b点からc点の期間で、もとのa点までのデータを出力しないうちに、次の受信データがc点からd点の期間で入力されてくる。d点からe点、f点からg点の期間についても同様である。そのため、FIFOメモリ7内に残るデータ量は、徐々に増加していくことになり、b点-d点-f点-h点-…をつなぐ線は、右上がりの線となる。ここで、送信側17で発振するクロック周波数をB_t(Hz)、受信側19で発振するクロック周波数をB_r(Hz)とし、FIFOメモリ7の内部のデータ量の増減を監視する期間をT₀(秒)、T₀で増減するデータ量をD(ビット)とすれば、次の式が成立する。

$$D = (B_t - B_r) \times T_0$$

この式から、受信側19ではT₀を設定して、FIFOメモリ7内のデータの増減量D、つまり、減算器15の出力から、送・受信側の周波数差を求める。

$$D/T_0 = B_t - B_r = (\text{送・受信側の周波数差})$$

そして、この計算によって求めた、変換部16の出力により、送・受信側の周波数差の量に対応して、VCO付き発振器12の周波数を制御すれば、VCO付き発振器12から出力され、カウンタ10にて所定の周波数となるクロックは、送信側17で発振した周波数と全く同じ周波数にことができる。つまり、FIFOメモリ7の出力クロックが送信側17で発振したクロックと同一になるので、FIFOメモリ7内のデータ量は、図5や図6に示したように、b点-d点-f点-h点-をつなぐ線が水平となり、FIFOメモリ7でオーバーフロー やアンダーフローが発生することはない。上記実施例では、変換部16の出力でVCO付き発振器12の周波数の制御を行うことで説明したが、VCOの付いていない発振器を使用し、カウンタ10の分周比を制御して内部動作クロックの周波数を制御しても構わない。

【0013】

【発明の効果】以上、説明したように、伝送路18のクロック周波数、つまり伝送速度に関係なく、送信側17*

*のクロック周波数に受信側19の周波数を同期させることができ、送信側17と受信側19が同じ周波数のクロックで動作できるようになるので、データのビット落ちやビット涌きが発生することなく、正しくデータ伝送が可能である。無線の伝送路18を介して、データ伝送を行うとすると、伝送路18でのデータはバーストで伝送する方式をとるのが、普通である。単なるデータではなく、音声情報のようにリアルタイムで連続したデータを伝送する場合には、送受の同期をとること以外に受信側19で連続的にデータを再生することも必要となり、本方式が有効である。また、バーストの間隔が等間隔でない場合にも、本方式は適用が可能である。さらに本方式は、伝送路18のクロック周波数に対して、N倍あるいは1/N倍(Nは整数)であって、従来の送受の同期方式が使用できる場合にも、適用が可能である。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図

【図2】従来方式のブロック図

【図3】伝送路を介してデータ伝送する場合のシステム図

【図4】データを間欠的に伝送する場合の一例を示す模式図

【図5】本発明の場合の受信側FIFOメモリの内部のデータ量を示す図

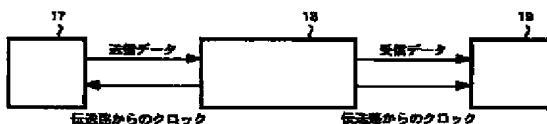
【図6】本発明の場合の受信側FIFOメモリの内部のデータ量を示す図

【図7】従来方式の場合の受信側FIFOメモリの内部のデータ量を示す図

【符号の説明】

1：受信データ入力、2：受信クロック入力、3：ヘッダ検出部、4：入力制御部、5，6：ANDゲート、7：FIFOメモリ、8：データ出力、9：クロック出力、10，13，14：カウンタ、12：VCO付き発振器、15：減算部、16：変換部、17：送信側装置、18：伝送路、19：受信側装置。

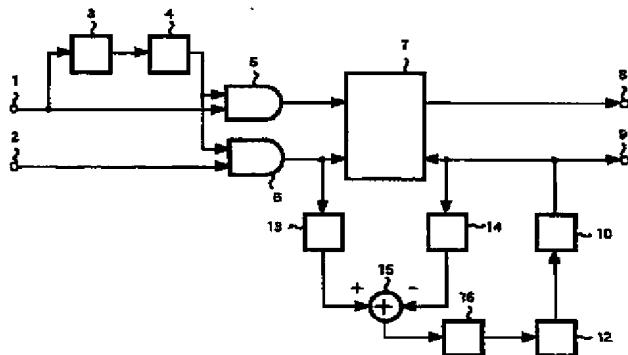
【図3】



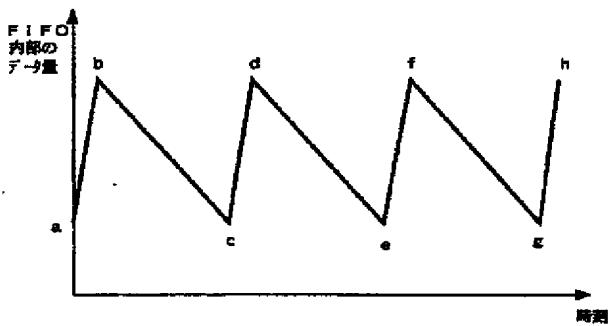
【図4】



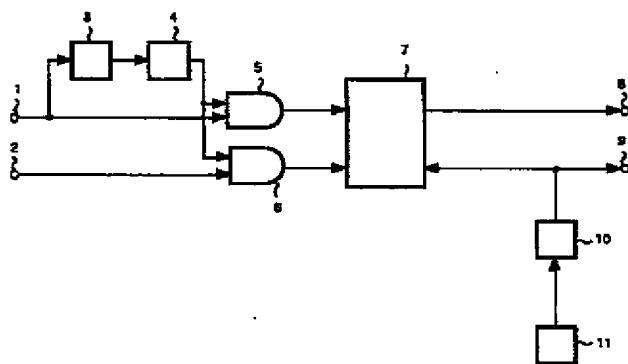
【図1】



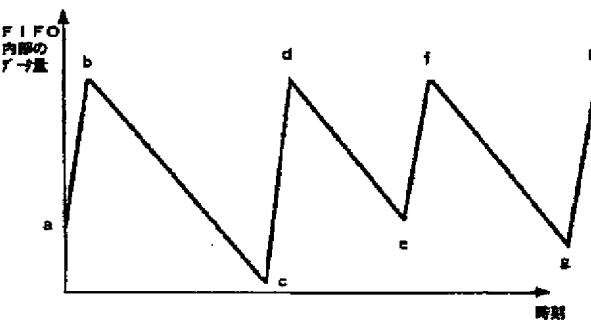
【図5】



【図2】



【図6】



【図7】

